



MEMORY SYSTEM, SEMICONDUCTOR MEMORY DEVICE AND METHOD FOR OPER SYNCHRONOUS MEMORY DEVICE

Patent number: JP11328963
Publication date: 1999-11-30
Inventor: CHOI JOO SUN
Applicant: HYUNDAI ELECTRONICS IND CO LTD
Classification:
 - international: G11C11/407
 - european:
Application number: JP19990096552 19990402
Priority number(s):

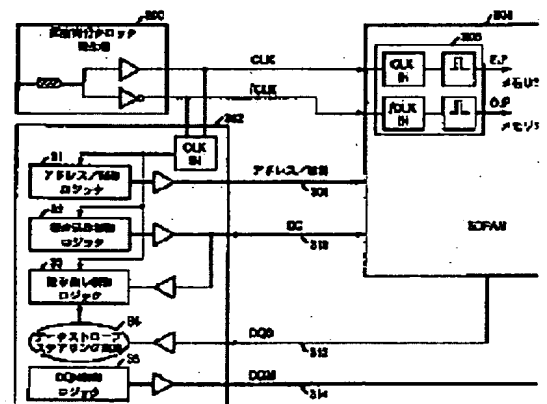
Also published

 GB2337
 DE1991

Abstract of JP11328963

PROBLEM TO BE SOLVED: To improve the entire part speed and band width of a memory circuit by first and second narrow-band pulses which induce the processing of the respective bits of memory data during a reading-out or writing mode of the operation.

SOLUTION: An intrinsic differential clock generator 300 for generating complementary clock signals CLK,/CLK from a clock signal CLOCK supplied by a system controller 302 connects the clock signals CLK,/CLK to the two input terminals of a synchronous memory device 304. The internal clock circuit 306 of the synchronous memory device 304 generates the narrow-band pulse at the rising edge in the respective edges of the signal CLK,/CLK and result signals EVEN- P: E.P and ODD- : O.P respectively operate even number and odd number memory core circuits. The intensity of a DQS signal may be improved by adding a data strobe signal for the purpose of the data alignment during the reading out and writing operation time.



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-328963

(43)公開日 平成11年(1999)11月30日

(51)Int.Cl.⁶

G 1 1 C 11/407

識別記号

F I

G 1 1 C 11/34

3 6 2 S

3 5 4 C

審査請求 未請求 請求項の数26 O L (全 9 頁)

(21)出願番号 特願平11-96552

(22)出願日 平成11年(1999)4月2日

(31)優先権主張番号 60/080, 443

(32)優先日 1998年4月2日

(33)優先権主張国 米国 (US)

(71)出願人 591036033

ヒュンダイ エレクトロニクス インダ
ストリーズ カムパニー リミテッド
大韓民国 467-860, キュンキド, イチ
ンクン, プバリウム, アミーリ, サン
136-1

(72)発明者 チョイ ジュ ソン

大韓民国 467-860 キュンキド イチ
ンクン プバリウム アミーリ サン
136-1 ヒュンダイ エレクトロニクス
インダストリーズ カムパニー リミテ
ッド内

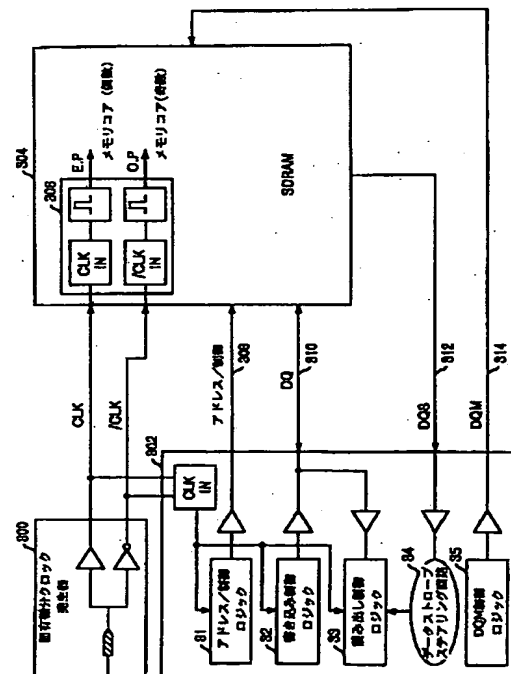
(74)代理人 弁理士 谷 義一 (外2名)

(54)【発明の名称】 メモリ・システム、半導体メモリ装置およびシンクロナス・メモリ装置の動作方法

(57)【要約】

【課題】 本願発明はメモリ回路の全体速度および帯域幅を改善させるシンクロナス・メモリ装置のための多様な技術および新しい構造を提供する。

【解決手段】 一実施形態において、2つの独立的なクロック・ピンCLK、/CLKがデータ・ウィンドウおよびメモリ帯域幅を改善させるために提供される。他の実施形態では、メモリ装置が雑音およびクロストークに影響を少なく受けるようにするシンクロナス・メモリのピンアウト構造を提供し、メモリ・システムでより融通性あるデータ処理のためのバイト制御可能構造を提供する。



【特許請求の範囲】

【請求項1】 第1周期クロック信号を受信するために結合された第1クロック端子と、
第2周期クロック信号を受信するために結合された第2クロック端子と、
上記第1クロック端子に結合され、上記第1周期クロック信号の一つのエッジで第1狭帯域パルス(narrow pulse)を発生させるための第1クロック回路と、
上記第2クロック端子に結合され、上記第2周期クロック信号の一つのエッジで第2狭帯域パルスを発生させるための第2クロック回路を含み、
動作の読み出しまたは書き込みモードの間にそれぞれの上記第1および上記第2狭帯域パルスはメモリ・データの各ビットの処理を誘発することを特徴とする半導体メモリ装置。

【請求項2】 上記第1周期クロック信号および上記第2周期クロック信号は互いに相補的なことを特徴とする請求項1に記載の半導体メモリ装置。

【請求項3】 上記第1クロック回路は上記第1クロック信号の立ち上がりエッジで上記第1狭帯域パルスを発生させ、上記第2クロック回路は上記第2クロック信号の立ち上がりエッジで上記第2狭帯域パルスを発生させることを特徴とする請求項2に記載の半導体メモリ装置。

【請求項4】 上記メモリ装置はシンクロナス・ランダム・アクセス・メモリ回路を含むことを特徴とする請求項3に記載の半導体メモリ装置。

【請求項5】 上記メモリ装置はシンクロナス・ダイナミック・ランダム・アクセス・メモリ回路を含むことを特徴とする請求項4に記載の半導体メモリ装置。

【請求項6】 上記メモリ装置はシンクロナス・グラフィックス(graphics)ランダム・アクセス・メモリ回路を含むことを特徴とする請求項4に記載の半導体メモリ装置。

【請求項7】 読み出しおよび書き込み動作の間、読み出しおよび書き込みデータを整列させる第1データ・ストロブ信号を運搬するために結合された第1データ・ストロブ端子を更に含み、上記第1データ・ストロブ端子はクロック関連端子に隣接することなく、電源端子に隣接した位置に置かれることを特徴とする請求項1に記載の半導体メモリ装置。

【請求項8】 第1周期クロック信号および上記第1周期クロック信号に相補的な第2周期クロック信号を発生させるための回路を具備したクロック発生器と、
上記クロック発生器に結合されたクロック端子を具備し、メモリ・データおよびメモリ制御信号等の流れを制御するための回路を具備するメモリ制御機と、
上記クロック発生器および上記メモリ制御機に結合されるシンクロナス・メモリ装置を含み、

上記シンクロナス・メモリ装置は、
上記第1周期クロック信号を受信するために結合された第1クロック端子と、
上記第2周期クロック信号を受信するために結合された第2クロック端子と、
上記第1クロック端子に結合されて上記第1周期クロック信号の一つのエッジで第1狭帯域パルス(narrow pulse)を発生させるための第1クロック回路と、
上記第2クロック端子に結合されて上記第2周期クロック信号の一つのエッジで第2狭帯域パルスを発生させるための第2クロック回路を具備し、
一つのデータ・ビットを処理するための時間ウィンドウは上記第1狭帯域パルスと上記第2狭帯域パルス間の一時的な距離により定義されることを特徴とするメモリ・システム。

【請求項9】 上記メモリ制御機はアドレス/制御バスおよびデータ・バスを具備するインタフェースを通じて上記シンクロナス・メモリ装置に結合されることを特徴とする請求項8に記載のメモリ・システム。

【請求項10】 上記インタフェースはデータ・ストロブ・バスおよびデータ・マスク・バスを更に含むことを特徴とする請求項9に記載のメモリ・システム。

【請求項11】 上記メモリ制御機は、
上記アドレス/制御バスに結合されたアドレス/制御ロジックと、
上記データ・バスに結合された読み出しおよび書き込み制御ロジックと、

上記データ・ストロブ・バスに結合されたデータ・ストロブ・ステアリング回路(data strobe steering circuit)と、
上記データ・マスク・バスに結合されたデータ・マスク制御ロジックとを含むことを特徴とする請求項10に記載のメモリ・システム。

【請求項12】 上記メモリ装置は、
上記アドレス/制御バスに各々結合された複数のアドレス端子と、
上記データ・バスに各々結合された複数のデータ端子と、

第1データ・ストロブ信号を運搬するために結合された第1データ・ストロブ端子を更に含むことを特徴とする請求項10に記載のメモリ・システム。

【請求項13】 上記メモリ装置は第2データ・ストロブ信号を運搬するために結合された第2データ・ストロブ端子を更に含み、
上記第1データ・ストロブ信号は上記データ・バスでの第1グループ相互連結により運搬される第1グループ・データをストロブ(strobe)し、上記第2データ・ストロブ信号は上記データ・バスでの第2グループの相互連結により運搬される第2グループ・データ

をストロブすることを特徴とする請求項12に記載のメモリ・システム。

【請求項14】 上記第1グループ・データは上位バイトを形成する上位半分のデータを含んで、上記第2グループ・データは下位バイトを形成する下位半分のデータを含むことを特徴とする請求項13に記載のメモリ・システム。

【請求項15】 上記第1ストロブ端子はいかなるクロック関連端子にも隣接することなく、電源端子に隣接するように置かれることを特徴とする請求項12に記載のメモリ・システム。

【請求項16】 上記第1ストロブ端子はいかなるクロック端子でも上記第1ストロブ端子とデータ端子間に置かれられないように位置されることを特徴とする請求項15に記載のメモリ・システム。

【請求項17】 読み出しおよび書き込み動作中に読み出しおよび書き込みデータを整列させる第1データ・ストロブ信号を運搬するために結合された第1データ・ストロブ端子を更に含み、

上記第1データ・ストロブ端子はいかなるクロック関連端子にも隣接することなく、電源端子に隣接するように置かれることを特徴とする請求項1に記載の半導体メモリ装置。

【請求項18】 読み出しおよび書き込み動作中に読み出しおよび書き込みデータを整列させる第1データ・ストロブ信号を運搬するために結合された第1データ・ストロブ端子を更に含み、

上記第1データ・ストロブ端子はいかなるクロック端子にも上記第1ストロブ端子とデータ端子間に置かれられないように位置されることを特徴とする請求項1に記載の半導体メモリ装置。

【請求項19】 上記第2データ・ストロブ信号を運搬するために結合された第2データ・ストロブ端子を更に含むことを特徴とする請求項18に記載の半導体メモリ装置。

【請求項20】 メモリ・データを運搬するために結合された複数のデータ・ピンと、メモリアドレスを運搬するために結合された複数のアドレスピンと、周期的なクロック信号を運搬するために結合されてメモリ装置の動作を同期させるためのクロック・ピンと、動作の読み出しおよび書き込みモードで読み出しおよび書き込みデータを各々整列させる第1データ・ストロブ信号を運搬するために結合された第1データ・ストロブ・ピンを含み、

上記第1データ・ストロブ・ピンは上記クロック・ピンが上記第1データ・ストロブ・ピンとデータ・ピン間に置かれられないように位置されるピン・アウト構造を持つことを特徴とする半導体メモリ装置。

【請求項21】 上記ピン・アウト構造は複数の電源ピ

ンを更に含んで、上記第1データ・ストロブ・ピンは電源ピンに隣接するように置かれることを特徴とする請求項20に記載の半導体メモリ装置。

【請求項22】 上記ピン・アウト構造は第2データ・ストロブ信号を運搬するために結合された第2データ・ストロブ・ピンを更に含むことを特徴とする請求項20に記載の半導体メモリ装置。

【請求項23】 第1半分の複数のデータ・ピンおよび上記第1データ・ピンは上記装置の第1側に置かれ、第2半分の複数のデータ・ピンおよび上記第2データ・ストロブ・ピンは上記装置の第2側に置かれることを特徴とする請求項22に記載の半導体メモリ装置。

【請求項24】 上記第1半分のデータ・ピン上のデータは上記第1データ・ストロブ信号にตอบสนองしてストロブされ、上記第2半分のデータ・ピン上のデータは上記第2ストロブ信号にตอบสนองしてストロブされることを特徴とする請求項23に記載の半導体メモリ装置。

【請求項25】 外部から提供された第1周期クロック信号を第1クロック端子で受信する段階と、

外部から提供された第2周期クロック信号（上記第2周期クロック信号は上記第1周期クロック信号と相補）を第2クロック端子で受信する段階と、

上記第1周期クロック信号のそれぞれの連続的な立ち上がりエッジで第1の一連の連続的な狭帯域パルスが発生させる段階と、

上記第2周期クロック信号のそれぞれの連続的な立ち上がりエッジで第2の一連の連続的な狭帯域パルスが発生させる段階と、

選択的な方式で上記第1および上記第2の一連の連続的な狭帯域パルス（上記第1および上記第2の一連のそれぞれの狭帯域パルスは1ビットのメモリ・データ処理を誘発させる）にตอบสนองして複数ビットのメモリ・データを連続的に処理する段階とを含むことを特徴とするシンクロナス・メモリ装置の動作方法。

【請求項26】 上記連続的に処理する段階は、読み出し命令を上記シンクロナス・メモリ装置に適用する段階と、

読み出し動作を遂行する段階と、

複数ビットの読み出しデータ（上記複数ビットの読み出しデータの各ビットは選択的な方式で上記第1および上記第2の一連からの個別的な狭帯域パルスで発生される）をデータ端子に連続的に提供する段階とを含むことを特徴とする請求項25に記載のシンクロナス・メモリ装置の動作方法。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】 本発明はメモリ・システム、半導体メモリ装置およびシンクロナス・メモリ装置の動作方法に関し、特にシンクロナス半導体メモリのための改善されたインタフェースおよびピン・アウトに関する

ものである。

【0002】

【従来の技術】ダイナミック・ランダム・アクセスメモリ(DRAM)のようなメモリ回路の速度を改善するために、システム・クロックに応答して動作する次世代メモリ回路が開発されてきた。システム・クロックはメモリ回路が関連制御機と同期して動作できるようにする。したがって、読み出しおよび書き込み動作はシステム・クロックのいかなる一エッジ、通例的には立ち上がりエッジ(rising edge)に同期される。

【0003】図1を参照すれば、単一クロック・シンクロナス・メモリ装置100を利用する従来システムの簡略図が図示されている。

【0004】固有微分クロック発生器102はクロック信号CLKを発生させてメモリ装置100に提供する。既存のシステムにおいて、固有微分クロック発生器102は通例的にシステムの多様な動作を誘発するクロック信号CLKの立ち上がりエッジ・タイミングだけを保証することが要求される。50%デューティー・サイクル(duty cycle)を持たないクロック信号を発生させるクロック信号CLKの立下りエッジには15%ないし30%の変動がある。これは全てのシステム活動がクロック信号CLKの立ち上がりエッジに同期されるため許容可能である。

【0005】図2は従来技術に係る単一クロック・メモリ装置の読み出し動作を図示したタイミング図である。

【0006】図示した通り、自身のタイミングで変動を表す立下りエッジが完全に無視される反面に、読み出し命令およびデータ出力は全部CLK信号の立ち上がりエッジで発生する。したがって、例えば10ns周期を持つ所定のCLK信号が与えられるならば、立下りエッジでの15%変動はデータ処理のために約3.5nsウィンドウだけを残す。

【0007】メモリの同期動作はパイプライニング(pipelining)のような回路技術の使用を許すことによってメモリ回路の速度および帯域を改善させた。しかし、関連DRAMよりはるかに速く動作する所定の現在のマイクロプロセッサ等が与えられるならば、大きい帯域幅を持つ速いメモリチップが要求される。

【0008】

【発明が解決しようとする課題】したがって、本発明はメモリ回路の全体速度および帯域幅を改善させるシンクロナス・メモリをクロッキング(clocking)させるための多様な技術および新しい構造を提供する。

【0009】一実施形態において、本発明は相補的な2つのクロック信号を受信して2つのクロック信号にตอบสนองして動作するシンクロナス・メモリ回路を提供する。

【0010】互いに反対の相補的な2つのクロック信号を受信する2つのクロック・ピンの提供はデータを処理するためのメモリ回路に対する広い時間ウィンドウおよ

び関連制御機を生成してデータ帯域幅および信号強度を増加させる。

【0011】本発明の他の側面はシンクロナス・メモリ回路のためのパッケージ・ピンアウトを修正してクロック信号を受信するピンのようなデータ・ストロブ・ピン(data strobe pin)を雑音があるピン(noisy pin)から遠く離れてデータ・ピン近くに移動させる。更に本発明はバイト制御可能データ・ストロブ構造を提供する。

【0012】本実施形態によって、メモリ回路は単一データ・ストロブ信号の代りに各々が選択されたサブ・グループのデータ端子専用の2以上のストロブ信号を受信する。

【0013】

【課題を解決するための手段】したがって、一実施形態において、第1周期クロック信号を受信するために結合された第1クロック端子と、第2周期クロック信号を受信するために結合された第2クロック端子と、上記第1クロック端子に結合され、上記第1周期クロック信号の一つのエッジで第1狭帯域パルス(narrow pulse)を発生させるための第1クロック回路と、上記第2クロック端子に結合され、上記第2周期クロック信号の一つのエッジで第2狭帯域パルスを発生させるための第2クロック回路を含み、動作の読み出しまたは書き込みモードの間にそれぞれの上記第1および上記第2狭帯域パルスはメモリ・データの各ビットの処理を誘発することを特徴とする。

【0014】もう少し特定の実施形態において、上記第1周期クロック信号および上記第2周期クロック信号は互いに相補である。

【0015】更に、上記第1クロック回路は上記第1クロック信号の立ち上がりエッジで上記第1狭帯域パルスを発生させ、上記第2クロック回路は上記第2クロック信号の立ち上がりエッジで上記第2狭帯域パルスを発生させる。

【0016】本発明の他の実施形態において、第1周期クロック信号および上記第1周期クロック信号に相補的な第2周期クロック信号を発生させるための回路を具備したクロック発生器と、上記クロック発生器に結合されたクロック端子を具備し、メモリ・データおよびメモリ制御信号等の流れを制御するための回路を具備するメモリ制御機と、上記クロック発生器および上記メモリ制御機に結合されるシンクロナス・メモリ装置を含み、上記シンクロナス・メモリ装置は、上記第1周期クロック信号を受信するために結合された第1クロック端子と、上記第2周期クロック信号を受信するために結合された第2クロック端子と、上記第1クロック端子に結合されて上記第1周期クロック信号の一つのエッジで第1狭帯域パルス(narrow pulse)を発生させるための第1クロック回路と、上記第2クロック端子に結合さ

れて上記第2周期クロック信号の一つのエッジで第2狭帯域パルスを発生させるための第2クロック回路を具備し、一つのデータ・ビットを処理するための時間ウィンドウは上記第1狭帯域パルスと上記第2狭帯域パルス間の一時的な距離により定義されることを特徴とする。

【0017】もう少し特定の実施形態において、データ・ストロブ・ピンは電源ピンとデータ・ピン間に置き直される。

【0018】また、本発明は外部から提供された第1周期クロック信号を第1クロック端子で受信する段階と、外部から提供された第2周期クロック信号(上記第2周期クロック信号は上記第1周期クロック信号と相補)を第2クロック端子で受信する段階と、上記第1周期クロック信号のそれぞれの連続的な立ち上がりエッジで第1の一連の連続的な狭帯域パルスを発生させる段階と、上記第2周期クロック信号のそれぞれの連続的な立ち上がりエッジで第2の一連の連続的な狭帯域パルスを発生させる段階と、選択的な方式で上記第1および上記第2の一連の連続的な狭帯域パルス(上記第1および第2の一連のそれぞれの狭帯域パルスは1ビットのメモリ・データ処理を誘発させる)にตอบสนองして複数ビットのメモリ・データを連続的に処理する段階とを含むシンクロナス・メモリ装置の動作方法を提供する。

【0019】また別の実施形態において、SDRAM (Synchronous DRAM) のような第1世代のシンクロナス・メモリ装置はクロッキング構造で説明される図1に図示されたようなシステムと類似に動作する。

【0020】次世代シンクロナス・メモリ装置はクロック信号の2つのエッジを使用してデータ速度が2倍になるようにする。いわゆる二重データ速度(DDR) SDRAMはプロセッシング・メモリ・データでクロックの2つのエッジを皆使用することによって認識できる程度の速度改善を提供する。それぞれの次世代生産品が上位互換を維持するための通例的にメモリ産業での強力な要求が存在する。

【0021】例えば、通例的にDRAM生産者および供給者はボード上の既存ソケット(socket)が新しいパーツを受けようとするためにそれぞれの次世代DRAMに対してできる限りパッケージ上で同じピンの位置を維持しようとする傾向がある。

【0022】この方法は経済的で明白な長所を提供するが、本発明はこの方法とは違うようにDDR SDRAMのような高速クロック・メモリ装置等の機能をより一層よく提供する他の構造を提供する。

【0023】

【発明の実施の形態】図3を参照すれば、本発明の一実施形態によってシンクロナス・メモリ装置を利用するシステムのブロック図が図示される。特に、本発明はDDR SDRAMに最も適合してSDRAMと関連して記

述される。しかし、SDRAMの使用は説明の便宜だけを目的とするものであり、本発明がシンクロナス・グラフィックDRAM(SGDRAM)のようなDDR SDRAMよりはメモリ装置に適用できるということが理解されなければならない。

【0024】図3のシステムは制御機302により供給されるクロック信号CLOCKからの相補的なクロック信号CLK、 $\overline{\text{CLK}}$ を発生させる固有微分クロック発生器300を含む。信号CLK、 $\overline{\text{CLK}}$ はシンクロナス・メモリ装置302の2入力端子を連結する。

【0025】シンクロナス・メモリ装置304内の内部クロック回路306は例えば、信号CLK、 $\overline{\text{CLK}}$ の各エッジ中の立ち上がりエッジで狭帯域パルス(narrow pulse)を発生させる。結果信号E.P, O.P(EVEN_P, ODD_P)は偶数および奇数メモリコア回路を各々動作させる。

【0026】シンクロナス・メモリ装置304と制御機302間のインタフェースは制御機302内部のアドレス/制御ロジック・ユニット31により発生されるメモリ・アドレスおよび制御情報を運搬するアドレス/制御バス308を含む。

【0027】両方向データ・バス(DQ)310は制御機302内部のシンクロナス・メモリ装置304と書き込み制御および読み出し制御ロジック32, 33間のメモリ・データを運搬する。データ・ストロブ・バス(DQS)312はシンクロナス・メモリ装置304から制御機内部のデータ・ストロブ・ステアリング回路(data strobe steering circuit)34にデータ・ストロブ信号(DQS)を運搬する。データ・マスク・バス(DQM)314は制御機302内部のDQM制御ロジック35からSDRAM306へのデータ・マスク情報(DQM)を運搬する。

【0028】図4は読み出しモードで待ち時間(latency)2を持つシンクロナス・メモリ装置の動作を説明するタイミング図である。

【0029】狭帯域パルスEVEN_P, ODD_PはCLKおよび $\overline{\text{CLK}}$ の立ち上がりエッジで各々発生される。読み出し命令はCLKの立ち上がりエッジで発生され、CLKおよび $\overline{\text{CLK}}$ 信号の全体の各立ち上がりエッジで出力されるデータより2クロック・サイクル遅い(すなわち、latency=2)読み出しデータが発生される。

【0030】固有微分クロック発生器300は立ち上がりエッジで最小ジッターを各々表す信号CLK、 $\overline{\text{CLK}}$ を発生させる。例えば、CLKおよび $\overline{\text{CLK}}$ の立ち上がりエッジでの制限された5%変動および10nsクロック周期を持てば、4.5nsほど大きいデータ・ウィンドウ(window)がメモリおよび制御機に使用できるようになる。

【0031】したがって、本発明はデータ・ウィンドウを増加させてデータを処理する制御機およびメモリに多くの時間を提供する。これは回路設計を容易にして信号強度を改善させる。大きいデータ・ウィンドウは例えば、オーバーシュートおよびアンダーシュートの条件により発生される雑音の影響を減少させるので、信号強度は改善される。

【0032】図3のメモリ装置304は外部クロック信号CLK、/CLKを受信するために2つのクロック・ピンを必要とする。上記した通り、2つのクロック・ピンを必要とする点で一つのクロック・ピンを持つ現世代SDRAMと上方から下方に対する上位互換性(downward compatibility)を維持する従来技術の方法とは違っている。

【0033】図5は上位互換可能でもっぱら一つのクロック・ピン(38番ピン)を要求する従来のSDRAMを図示する。図6はCLK(40番ピンから)および/CLK(41番ピンから)を受信するために2つのクロック・ピンを含む本発明に係る58ピンSDRAMパッケージの例示的な実施形態である。

【0034】本発明に係るSDRAMは上位互換が不可能で、データ処理量および帯域幅を増加させ、信号強度を改善させて設計を容易にする。従来のピンアウト構造を改善した本発明の他の実施形態はデータ・ストロブ信号(DQS)に関するものである。次世代SDRAMは読み出しおよび書き込み動作の間のデータ整列を目的としてデータ・ストロブ信号を導入した。これは同時に読み出しデータが転移され、書き込みデータがストロブ・イン(strobe in)されるようにするデータ・ストロブ・ピン(DQS)を付加した。

【0035】図5をまた参照すれば、従来技術はクロック関連信号CLK(38番ピン)およびCKE(37番ピン)と近い36番ピンでのQSにある。この配列は多くの短所を含む。

【0036】本来、高い周波数クロック信号は隣接環境に相当な雑音を挿入し、反対にDQS信号の品質に影響を与える。データ・ピンから遠く離れていれば、読み出しまたは書き込みデータのタイミングと関連したDQS転移タイミングでポテンシャル・スキュー(potential skew)を引き起こす。

【0037】出力データが転移される時間と正確に同じ時間にDQSがトグル(toggle)されることはとても重要である。したがって、そのようなスキューは望ましくない。更に、(例えば、システム・ボード上で)DQSおよびデータ・ピン等は通例的にグループで一緒に外部にバス(bus)される。データ・ピンとDQS間にクロック・ピン(または他のピン等)を含んでいれば、ボード上に度々互いに交差しなければならないバスを生成する。これは望ましくないクロストーク雑音の可能性を増加させる。

【0038】このような短所を全部除去するために、本発明はデータ・ストロブ(DQS)ピンを雑音があるクロック関連ピンから遠く離れてデータ・ピンの近くに位置付ける。

【0039】図6に図示した例示的な実施形態において、DQS(45番ピン)はVSS(44番ピン)とDQ8(46番ピン)間に位置される。上位互換性を維持する従来技術とは異なるが、結果はDQS信号の強度をかなり改善する。シンクロナス・メモリの性能を改善させる本発明のまた別の側面は一つ以上のデータ・ストロブ信号を使用することである。

【0040】図7を参照すれば、本発明に係る66ピン・シンクロナス・メモリ装置のためのパッケージ・ピンアウトの他の例示的な実施形態が図示されている。またピンアウトは2つのクロック・ピン(CLK(45番ピン)、/CLK(46番ピン))を含むが、単一データ・ストロブ・ピン(DSQ)の代りに別途の2つのデータ・ストロブ・ピン(UQS(51番ピン)、LQS(16番ピン))を提供する。

【0041】本実施形態は2バイトのデータに対して別途のストロブ信号を提供する。すなわち、上位バイト・データ(DQ8ないしDQ15)は上位ストロブ信号(UQS)により制御され、下位バイト・データ(DQ0ないしDQ7)は下位ストロブ信号(LQS)により制御される。

【0042】この配列はデータ入力を処理できる広いデータ・バス、例えば8ビット幅のバイトを持つメモリ・システムで有利である。すなわち、所定のメモリ・システムにおいて、データ・バスは他の時間に有効な個別的なバイトを運搬する。

【0043】したがって、システムがデータ・バス上の種々のバイト・データを別々に処理するようにすることが望ましい。単一DQS信号は単一グループ・データを同時に処理するようにし、2つのDQS信号は2バイト・データを同時に処理するようにする。この方式で、本発明はバイト制御データ・ストロブ構造(scheme)を提供する。

【0044】図7に図示した本発明の例示的な実施形態によって、シンクロナス・メモリ装置は2つのデータ・ストロブ・ピン(UQS, LQS)で動作する。2つのデータ・ストロブ・ピン(16番ピン, 51番ピン)は雑音があるクロック・ピンから離れてデータ・ピンに近く置かれることが望ましい。

【0045】図7の実施形態において、UQSが電源ピン(VSSQの52番ピン)と非連結ピン(50番ピン)間にある51番ピンに割り当てられれば、LQSが電源ピン(VDDQの15番ピン)と非連結ピン(17番ピン)間にある16番ピンに割り当てられる。

【0046】本実施形態において、データ・ストロブ・ピン等はクロック・ピンから遠く離れてデータ・ピン

の近くに置かれることが望ましいということに注目しなければならない。

【0047】本発明に開示されたようなバイトー制御可能性は2バイト・データを独立的に制御するための2つのデータ・ストロブ・ピンに制限されなくて、応用およびメモリの大きさによって多数のデータ・ストロブ信号が大きいバイト・データを独立的に処理するために提供されていることができるということが分かるはずである。

【0048】更に、別途のデータ・ストロブ・ピンを持つことはデータ配列の正確度を増加させるために相補的なDQS信号がメモリ装置に提供されることができる種々実施形態を許容する。

【0049】相補的な一対のDQS信号はジッター効果およびデューティ・サイクル変動をだいぶ減少させる内部のストロブ信号を発生させるメモリ装置により内部的に使われることができる。しかし、本実施形態は一対以上のデータ・ストロブ信号が提供されていないとバイトー制御可能性を許さない。

【0050】結論的に、本発明はシンクロナス・メモリ装置およびシステムの性能を改善するための多様な技術を提供する。一実施形態において、2つのクロック・ピンを提供することはデータ・ウィンドウおよび帯域幅を改善させるのに助けを与える。

【0051】他の実施形態はメモリ装置が雑音およびクロストークに強くさせるピンアウト構造を提供し、また別の実施形態において、本発明はメモリ・システムでデータを処理するためのバイトー制御可能構造を提供する。

【0052】上記したことが本発明の望ましい実施形態の説明であるが、色々な置換、変更および等価物を使用することができる。したがって、本発明の範囲は上記した説明だけでなく、添付された請求項とそれらの全体範囲の等価物によって決定されなければならない。

【0053】

【発明の効果】上記のような本発明は、データ・ウィンドウおよび帯域幅を改善させ、雑音およびクロストークに強いメモリを提供し、バイトー制御を可能にする効果がある。

【図面の簡単な説明】

【図1】単一クロック・シンクロナス・メモリ装置を利用する従来技術に係るシステムの簡略図である。

【図2】従来技術に係る単一クロック・シンクロナス・メモリ装置の読み出し動作を図示したタイミング図である。

【図3】本発明に係るシンクロナス・メモリ装置を利用したシステムのブロック図である。

【図4】読み出しモードで本発明に係る二重クロック・シンクロナス・メモリ回路の動作を図示したタイミング図である。

【図5】従来技術に係るシンクロナス・メモリ装置のためのパッケージ・ピンアウトの例示的な説明図である。

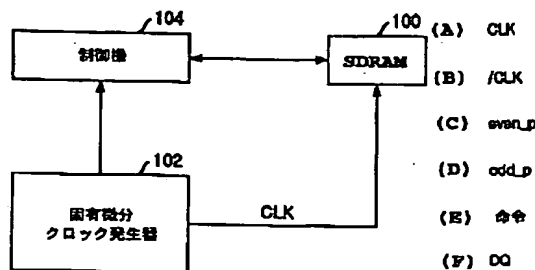
【図6】本発明に係るシンクロナス・メモリ装置のためのパッケージ・ピンアウトの例示的な実施形態を示す説明図である。

【図7】本発明に係るシンクロナス・メモリ装置のためのパッケージ・ピンアウトの他の実施形態を示す説明図である。

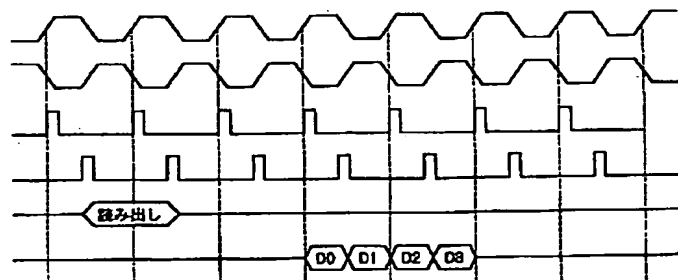
【符号の説明】

- 31 アドレス/制御ロジック
- 32 書き込み制御ロジック
- 33 読み出し制御ロジック
- 34 データ・ストロブ・ステアリング回路
- 35 DQM制御ロジック
- 300 固有微分クロック発生器
- 302 制御機
- 304 シンクロナス・メモリ装置
- 306 内部クロック回路

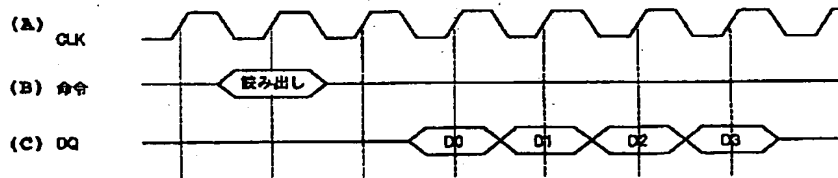
【図1】



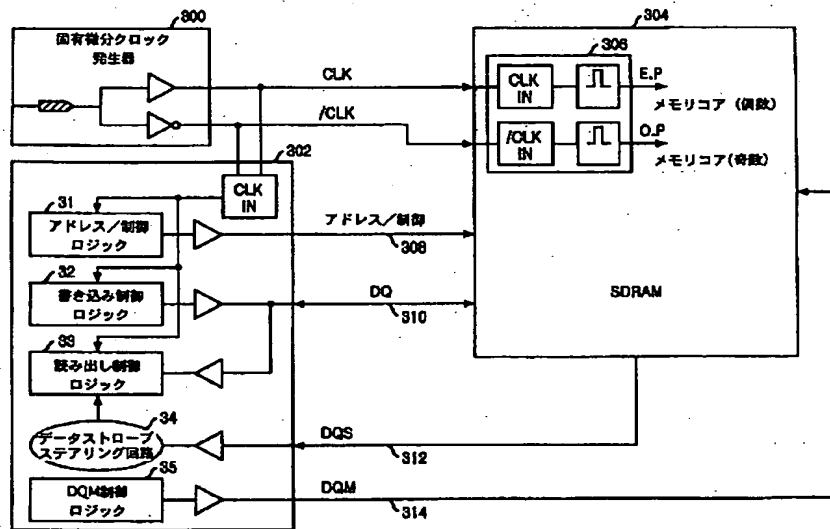
【図4】



【図2】



【図3】



【図5】

VDD	1	54	VSS
DQ0	2	53	DQ15
VDDQ	3	52	VSSQ
DQ1	4	51	DQ14
DQ2	5	50	DQ13
VSSQ	6	49	VDDQ
DQ3	7	48	DQ12
DQ4	8	47	DQ11
VDDQ	9	46	VSSQ
DQ5	10	45	DQ10
DQ6	11	44	DQ9
VSSQ	12	43	VDDQ
DQ7	13	42	DQ8
VDD	14	41	VSS
LDQM	15	40	VREF
/WE	16	39	UDQM
/CAS	17	38	CLK
/RAS	18	37	CKE
/CS	19	36	QS
A13(BA0)	20	35	A11
A12(BA1)	21	34	A9
A10/AP	22	33	A8
A0	23	32	A7
A1	24	31	A6
A2	25	30	A5
A3	26	29	A4
VDD	27	28	VSS

【図6】

VDD	1	58	VSS
DQ0	2	57	DQ15
VDDQ	3	56	VSSQ
DQ1	4	55	DQ14
DQ2	5	54	DQ13
VSSQ	6	53	VDDQ
DQ3	7	52	DQ12
DQ4	8	51	DQ11
VDDQ	9	50	VSSQ
DQ5	10	49	DQ10
DQ6	11	48	DQ9
VSSQ	12	47	VDDQ
DQ7	13	46	DQ8
NC	14	45	DQS
VDD	15	44	VSS
QSM	16	43	VREF
LDQM	17	42	UDQM
/WE	18	41	/CLK
/CAS	19	40	CLK
/RAS	20	39	
/CS	21	38	NC
A13(BA0)	22	37	A11
A12(BA1)	23	36	A9
A10/AP	24	35	A8
A0	25	34	A7
A1	26	33	A6
A2	27	32	A5
A3	28	31	A4
VDD	29	30	VSS

【図7】

